

PATENT ABSTRACTS OF JAPAN

B9

(11)Publication number : 62-205452

(43)Date of publication of application : 10.09.1987

(51)Int.Cl.

G06F 12/06
G06F 12/00
G06F 15/64

(21)Application number : 61-049188

(71)Applicant : NEC CORP

(22)Date of filing : 06.03.1986

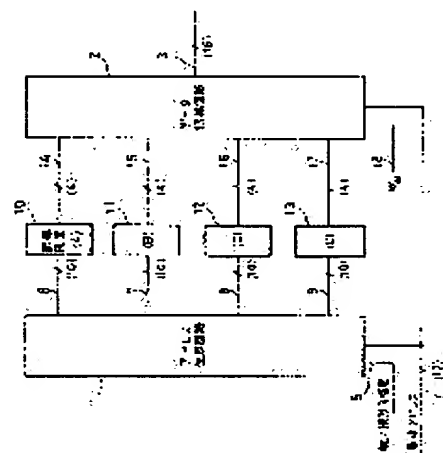
(72)Inventor : YAMAKI HIDEYA
UEDA HIROSHI
TOSAKA KAZUhide

(54) MEMORY CONTROL SYSTEM

(57)Abstract:

PURPOSE: To provide flexibility and a high speed to the processing of two-dimensional information by providing an address generating circuit to generate a different address to plural memory devices and a data changing-over circuit to execute the rearrangement of data.

CONSTITUTION: An address generating circuit 1 generates a reference address 4 and addresses 6W9 to send to four memory devices 10W13 from a control signal 5 to designate a longitudinal and horizontal direction which is a simultaneous access direction of two-dimensional information. A data changing-over circuit 2 distributes a data bus 3 with the external part, sends to the memory devices 10W13 at the time of writing, and synthesizes and outputs to the external part at the time of reading. Thus, by making variable the rule to generate the address of respective memory devices from a reference address, the information of plural elements that the memory of two-dimensional information continues in the longitudinal or horizontal direction or comes to be a 2×2 block can be simultaneously accessed and the effect that the flexibility and the high speed can be provided to the processing of the two-dimensional information can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-205452

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月10日

G 06 F 12/06
12/00
15/64

3 0 4

6711-5B
6711-5B
8419-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 記憶制御方式

⑯ 特 願 昭61-49188

⑰ 出 願 昭61(1986)3月6日

⑱ 発 明 者	山 木 秀 哉	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	上 田 洋	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	登 坂 和 秀	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
⑲ 代 理 人	弁理士 柳 川 信		

明 細 書

1. 発明の名称

記憶制御方式

2. 特許請求の範囲

(1) 2次元情報を記憶するための複数の記憶装置と、所定の基準となる基準アドレスを基に前記記憶装置の各々に対して予め定められたアドレス変換用の論理式に基づいて夫々アドレス算出を行うアドレス生成手段と、前記記憶装置の各々と外部データバスとの間に設けられてデータアクセスの際のデータの並べ換え、データの合成、分割処理をなすデータ切換手段とを具備し、前記2次元情報へのアクセスに際して同時に複数の記憶要素に対して行うようにしたことを特徴とする記憶制御方式。

(2) 前記アドレス生成手段におけるアドレス算出のための論理式及び前記データ切換手段におけるデータ処理の様態を所望に変更することにより、複数の記憶要素の選定を自在としてなることを特

徴とする特許請求の範囲第1項の記憶制御方式。

3. 発明の詳細な説明

技術分野

本発明は記憶制御方式に関し、特に2次元情報を記憶するための記憶回路における読み出し書き込み制御方式に関する。

従来技術

記憶装置では、基本的に第2図に示すように1束のアドレスバス、1束のデータバス及び制御信号が引き出される構成となっており、当該記憶装置と外部との情報の授受は一度に1アドレス分しか行われない。2次元情報の記憶には大容量の記憶装置が必要であるが、従来技術としては第2図の記憶装置を複数個結合してアドレスバスを拡張した記憶回路や、2次元的に隣接した点を同アドレスに結集してデータバスを拡張した記憶回路等がある。

上述した従来技術の記憶回路のうち前者のものは、全体として第2図の基本的な形は変わらず、アドレスバスが1系統であるために同時に読み出しあ

るいは書込みが行えるのは1アドレス分のデータだけであり、その結果として大容量の2次元情報を扱うにはアクセス時間が非常に大となるという欠点がある。

また従来のように記憶回路のうち後者のものは、複数点の情報を1回のアクセスで扱える意味では効率が良いが、その反面書込みの時点で2次元の隣接点の組み方が一意となり、読み出し時に別の組み方で読み出せないため2次元情報の扱いの柔軟性に欠けるという欠点がある。

発明の目的

本発明の目的は、大容量の2次元情報の記憶内容をより高速でアクセス可能な記憶制御方式を提供することである。

本発明の他の目的は、1回のアクセスにより処理可能な2次元の隣接点の情報の組合せが任意に選定自在な記憶制御方式を提供することである。

発明の構成

本発明によれば、2次元情報を記憶するための複数個の記憶装置と、所定の基準となる基準アド

レスを基に前記記憶装置の各々に対して予め定められたアドレス変換用の論理式に基づいて夫々アドレス算出を行うアドレス生成手段と、前記記憶装置の各々と外部データバスとの間に設けられてデータアクセスの際のデータの並べ換え、データの合成、分割処理をなすデータ切換手段とを具備し、前記2次元情報へのアクセスに際して同時に複数の記憶要素に対して行うようにしたことを特徴とする記憶制御方式が得られる。

実施例

次に本実施例について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。アドレス生成回路1は基準アドレス4と2次元情報の同時アクセス方向である縦横方向を指定する制御信号5とから4個の記憶装置10～13へ送るアドレス6～9を生成する回路である。データ切換回路2は外部とのデータバス3を書込み時には分配して記憶装置10～13へ送り、読み出し時には合成して外部へ出力する回路である。

具体例として、64×64ドットのサイズでか

つ1ドットが4ビットで表わされるような多値画像情報を記憶する回路として実現させる場合をとり説明する。記憶装置を4個用意することにより縦方向に連続した4画素の同時アクセス（以下このことを縦方向指定と称する）また横方向に連続した4画素の同時アクセス（以下横方向指定と称する）を可能とし、外部データバスを16ビットで構成する。また、 $64 \times 64 = 4096$ ドットに対応するメモリの空間を4つの記憶装置10～13に分配するため、各記憶装置のアドレスバス6～9は夫々1092（ $4096 / 4$ ）＝10ビットとなる。基準アドレスは当該空間全体を表現するためX方向に6ビット、Y方向に6ビットの計12ビット幅とする。

画像情報の一部を第3図に示す。4個の記憶装置を区別するために各記憶装置10～13を夫々A、B、C、Dとし、各記憶装置10～13が分担する各記憶画素を第3図中の各枠内に記入しており、A、B、C、Dの右下に付記されている数字は各記憶装置のアドレスを示す。

アドレス生成回路1の動きの例として、基準アドレスをXアドレス＝2、Yアドレス＝1とした場合につき説明する。横方向指定の時は、記憶装置DとAにアドレス10を、また記憶装置BとCにアドレス11を送る。また同じ基準アドレスに対し、縦方向指定の時には記憶装置Dにアドレス10を、Aには20を、Bには30を、Cには40をそれぞれ送る。その他の基準アドレスに対しても同様にして各記憶装置へ送るアドレスを決定するものとする。

一方、データ切換回路2の動きを説明する例として、横方向指定の時には左端の画素の情報が外部データバスの上位4ビットに乗るように、また縦方向指定の時は上端の画素情報が外部データバスの上位4ビットに乗るように制御することを考える。第3図に示す如き画素情報の記憶装置分担の場合、基準アドレスによって、データ並びを4ビットづつローテーションすればよいことがわかる。

以下にアドレス生成回路の実現例を図を用いて

説明する。第4図はアドレス生成回路1の一実現例のブロックである。基準アドレスを入力とするアドレス算出回路を4つの記憶装置用に横方向の回路19～22及び縦方向の回路23～26と互いに別に設け、各々方向指定によりこれら横方向、縦方向のいずれかのアドレス算出回路をセレクト27～30によりセレクトするように構成される。アドレス算出回路として横方向指定アドレス算出回路Aを一例にとり、第3図の例に従ってAのアドレスが付けられていると仮定する。基準アドレスを $X=0$ 、 $Y=0$ とすると横方向指定の場合、 $A0, B0, C0, D0$ が同時にアクセスされるため、Aのアドレスとしては0を出力すればよく、また基準アドレスを $X=1$ 、 $Y=0$ とすると $B0, C0, D0, A1$ が同時アクセスとなるためAのアドレスは1を出力することになる。同様に全ての基準アドレスに対する横方向指定のAアドレスは第5図に示す様になる。従って横方向指定アドレス算出回路Aは第5図の例に従った入出力をする論理回路となる。同様に、各アドレス算出回路も論理記

述が可能であり、その記述に従った論理回路として実現される。

次に、データ切替回路2の実現例を図を用いて説明する。第6図はデータ切替回路の一実現例のブロックである。第3図の例に従って各画素と記憶装置とが対応づけられているとし、また横方向指定の場合を説明する。外部データバスに乗るデータが、第7図に示すように横方向指定の時には、上位側から4ビットづつ左、左中、右中、右の4つの画素情報であり、縦方向指定の時には上位側から4ビットづつ上、上中、下中、下の4つの画素情報であるとする。基準アドレスを $X=0$ 、 $Y=0$ とすると、同時アクセスは $A0, B0, C0, D0$ に対して行われ、外部データバスの上位4ビットと内部データバスAとが結合され、同様に次の4ビットとB、その次の4ビットとC、下位4ビットとDの内部データバスが結合される。基準アドレスを $X=1$ 、 $Y=0$ とすると、同時アクセスは $B0, C0, D0, A1$ となり外部データバスの上位4ビットとB、次の4ビットとC、次の4ビットと

D、下位4ビットとAの内部データバス2が結合される。

上述のバス結合操作を可能にするための一実施例が第6図であり、上述のバス結合操作が基準アドレスの X, Y に対して $(X+Y) \bmod 4$ の値により同一の操作となる性質から、出力用セレクト31～34および入力用セレクト35～38を用いて構成されている。第6図中上半分セレクト31～34は読み出し用の回路であり、読み出し時のみ動作し、下半分のセレクト35～38は書き込み用の回路であり、書き込み時のみ動作する。

以上説明した実施例は一例にすぎず、前述したように 64×64 ドットサイズで1ドットが4ビットで表わされる多値画素情報の記憶に関し、外部データバスを16ビットとして4ドット分を横方向あるいは縦方向に同時にアクセスするために4つの記憶装置を設けた構成のみについて説明した。また各記憶装置と画素の対応づけや、アドレス生成回路、データ切替回路も一例であり、実際の用途に即した設計を行えば、異なる論理記述や

回路構成が実現できる。以下では、その他の実施例について前述の実施例(第1の実施例と称する)と比較しながら説明する。

第2の実施例は2値画素情報を扱う場合の例である。この場合には、第1の実施例と比較して画素情報の容量は $1/4$ となると同時に各記憶装置のデータバスは1ビット、外部データバスは4ビットで済むことになる。そこで、外部データバスを16ビットのままとし、16画素分を同時にアクセス可能にすることを考えると、記憶装置を16個設置することになる。この時第1図において、アドレス生成回路1は異なる16回線のアドレスを生成する回路を構成し、またデータ切替回路2も16本のバス切替えができる構成とする。この第2の実施例の実現は第1の実施例同様の考え方で可能である。第2の実施例の実現に際し有効な記憶装置と画素の対応付けの一例を第8図に示す。

次に第3の実施例として、縦方向、横方向に連続した要素のみならず 2×2 あるいは 3×3 、 4×4 等の塊となる要素を同時アクセスの対象とす

る例について説明する。この場合最も注意すべき点は、いかなる塊を選んでも同一の記憶装置に対して別のアドレスを同時にアクセスすることのないように記憶装置と画素の対応づけを行わなくてはならない点である。例えば、第3図の対応づけの場合、 2×2 の塊として左上隅の4点A0, B0, B10, C10を同時アクセスすることは記憶装置Bに対して0と10の両アドレスを同時にアクセスすることとなり、不可能となる。

この種の不都合に対する対策として、記憶装置を余計に設置する対策がある。第9図は記憶装置Eを追加設置した場合の縦横方向連続と 2×2 の塊に対し、柔軟に同時アクセスするための記憶装置と画素の対応づけの一例であり、任意の位置の縦方向連続、横方向連続、 2×2 の塊においても同時アクセスする記憶装置を異ならせることを可能としている。この例においては、アドレス生成回路は5つの記憶装置に対して、それぞれ縦、横、 2×2 の塊用のアドレスのうち一つを送るような回路構成となり、またデータ切換回路は5つの記

憶装置のうちから選ばれた4つの記憶装置のデータバスと外部データバスとを結合させるような回路構成となる。

発明の効果

以上説明したように、本発明によれば、複数の記憶装置に対して異なるアドレスを生成するアドレス生成回路と、各記憶装置のデータバスと外部データバスとの間でデータの並び換えや分割合成等を行うデータ切換回路とを備え、基準アドレスから各記憶装置のアドレスを生成する規則を可変とすることにより、2次元情報の記憶に関して縦又は横方向に連続するあるいは 2×2 の塊となっているなどの複数の要素の情報を同時にアクセスすることを可能にし、2次元情報の処理に柔軟性と高速性を持たせ得るという効果がある。

4. 図面の簡単な説明

第1図は本発明の2次元情報記憶回路の第1の実施例のブロック図、第2図は基本的な記憶装置のブロック図、第3図は第1の実施例における2次元画像情報の各画素と記憶装置との対応づけを

表わす図、第4図は第1の実施例におけるアドレス生成回路のブロック図、第5図は第4図の横方向指定アドレス算出回路Aの入出力を表わす入力対応図、第6図は第1の実施例におけるデータ切換回路のブロック図、第7図は第1の実施例における外部データバスの各ビットと横または縦指定の時の各画素との対応を表わす図、第8図及び第9図はそれぞれ第2及び第3の実施例における2次元画像情報の各画素と記憶装置との対応づけを表わす図である。

主要部分の符号の説明

- 1 …… アドレス生成回路
- 2 …… データ切換回路
- 10～13 …… 記憶装置

出願人 日本電気株式会社
代理人 弁理士 柳川 信

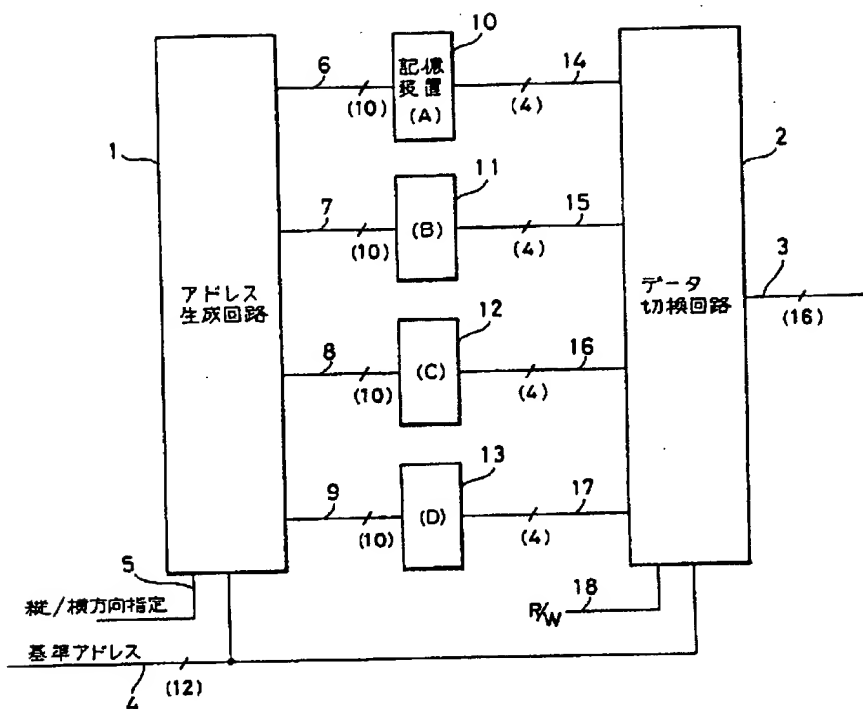
第2図



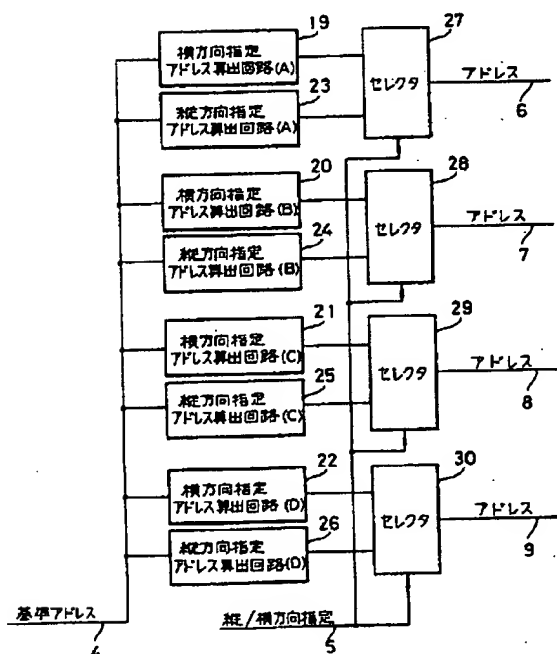
第3図

Xアドレス Yアドレス	0	1	2	3	4	5	6	7	8	...
0	A ₀	B ₀	C ₀	D ₀	A ₁	B ₁	C ₁	D ₁	A ₂	
1	B ₁₀	C ₁₀	D ₁₀	A ₁₀	B ₁₁	C ₁₁	D ₁₁	A ₁₁	B ₁₂	
2	C ₂₀	D ₂₀	A ₂₀	B ₂₀	C ₂₁	D ₂₁	A ₂₁	B ₂₁	C ₂₂	
3	D ₃₀	A ₃₀	B ₃₀	C ₃₀	D ₃₁	A ₃₁	B ₃₁	C ₃₁	D ₃₂	
4	A ₄₀	B ₄₀	C ₄₀	D ₄₀	A ₄₁	B ₄₁	C ₄₁	D ₄₁	A ₄₂	
5	B ₅₀	C ₅₀	D ₅₀	A ₅₀	B ₅₁	C ₅₁	D ₅₁	A ₅₁	B ₅₂	
6	C ₆₀	D ₆₀	A ₆₀	B ₆₀	C ₆₁	D ₆₁	A ₆₁	B ₆₁	C ₆₂	
7	D ₇₀	A ₇₀	B ₇₀	C ₇₀	D ₇₁	A ₇₁	B ₇₁	C ₇₁	D ₇₂	
...										

第1図



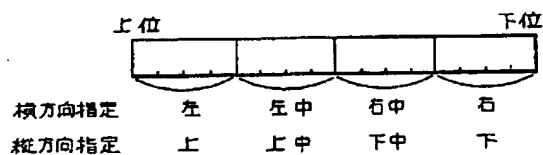
第4図



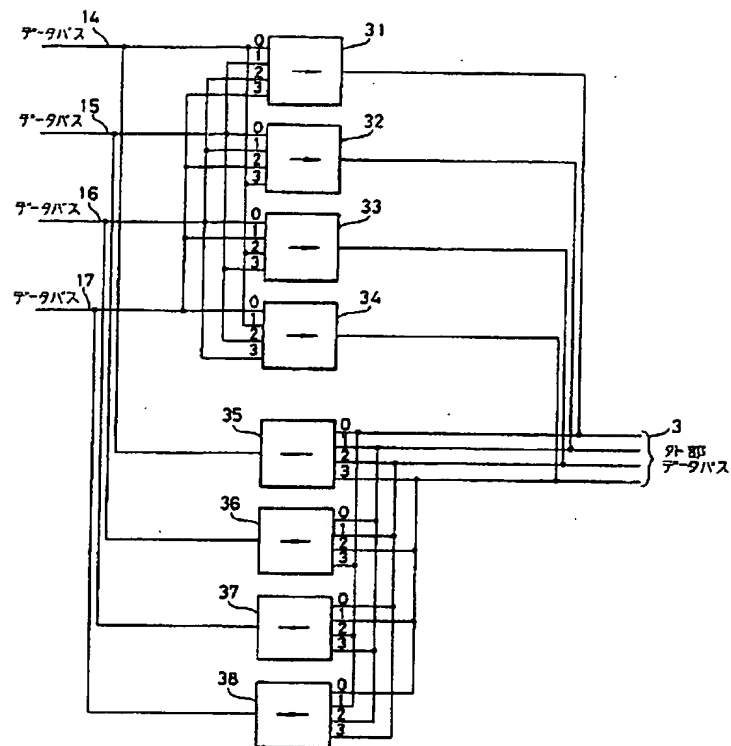
第5図

入 力		出 力
Yアドレス	Xアドレス	生成アドレス
0	0	0
0	1-4	1
0	5-9	2
...
1	0-3	10
1	4-7	11
1	8-11	12
...
2	0-2	20
2	3-6	21
...
3	0-1	30
3	2-5	31
...

第7図



第6図



第8図

X7FLX	0	1	2	3	4	5	6	7	8	9	...
Y7FLX	A ₀	B ₀	C ₀	D ₀	E ₀	F ₀	G ₀	H ₀	I ₀	J ₀	
1	B ₁₀	C ₁₀	D ₁₀	E ₁₀	F ₁₀	G ₁₀	H ₁₀	I ₁₀	J ₁₀	K ₁₀	
2	C ₂₀	D ₂₀	E ₂₀	F ₂₀	G ₂₀	H ₂₀	I ₂₀	J ₂₀	K ₂₀	L ₂₀	
3	D ₃₀	E ₃₀	F ₃₀	G ₃₀	H ₃₀	I ₃₀	J ₃₀	K ₃₀	L ₃₀	M ₃₀	
4	E ₄₀	F ₄₀	G ₄₀	H ₄₀	I ₄₀	J ₄₀	K ₄₀	L ₄₀	M ₄₀	N ₄₀	
5	F ₅₀	G ₅₀	H ₅₀	I ₅₀	J ₅₀	K ₅₀	L ₅₀	M ₅₀	N ₅₀	O ₅₀	
6	G ₆₀	H ₆₀	I ₆₀	J ₆₀	K ₆₀	L ₆₀	M ₆₀	N ₆₀	O ₆₀	P ₆₀	
7	H ₇₀	I ₇₀	J ₇₀	K ₇₀	L ₇₀	M ₇₀	N ₇₀	O ₇₀	P ₇₀	A ₇₁	
8	I ₈₀	J ₈₀	K ₈₀	L ₈₀	M ₈₀	N ₈₀	O ₈₀	P ₈₀	A ₈₁	B ₈₁	
9	J ₉₀	K ₉₀	L ₉₀	M ₉₀	N ₉₀	O ₉₀	P ₉₀	A ₉₁	B ₉₁	C ₉₁	
...											

第9図

X7FLX	0	1	2	3	4	5	6	...
Y7FLX	A ₀	B ₀	C ₀	D ₀	E ₀	A ₁	B ₁	
1	D ₁₀	E ₁₀	A ₁₁	B ₁₁	C ₁₁	D ₁₁	E ₁₁	
2	B ₂₀	C ₂₀	D ₂₀	E ₂₀	A ₂₁	B ₂₁	C ₂₁	
3	E ₃₀	A ₃₁	B ₃₁	C ₃₁	D ₃₁	E ₃₁	A ₃₂	
4	C ₄₀	D ₄₀	E ₄₀	A ₄₁	B ₄₁	C ₄₁	D ₄₁	
5	A ₅₀	B ₅₀	C ₅₀	D ₅₀	E ₅₀	A ₅₁	B ₅₁	
6	D ₆₀	E ₆₀	A ₆₁	B ₆₁	C ₆₁	D ₆₁	E ₆₁	
...								